

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of )  
Toshiaki HANIBUCHI ) Group Art Unit: Unassigned  
Application No.: Unassigned ) Examiner: Unassigned  
Filed: December 10, 2003 ) Confirmation No.: Unassigned  
For: ASYNCHRONOUS DATA )  
TRANSMITTING APPARATUS )

**SUBMISSION OF CERTIFIED COPY OF PRIORITY DOCUMENT**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japanese Patent Application No. 2003-104529

Filed: April 8, 2003

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

Date: December 10, 2003

By:

Platon N. Mandros  
Registration No. 22,124

P.O. Box 1404  
Alexandria, Virginia 22313-1404  
(703) 836-6620

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2003年 4月 8日

出願番号

Application Number:

特願2003-104529

[ ST.10/C ]:

[JP2003-104529]

出願人

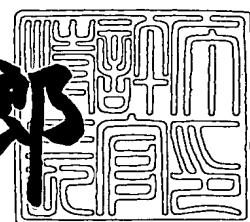
Applicant(s):

株式会社ルネサステクノロジ

2003年 6月 9日

特許庁長官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3044854

【書類名】 特許願  
【整理番号】 544123JP01  
【提出日】 平成15年 4月 8日  
【あて先】 特許庁長官殿  
【国際特許分類】 H04L 29/00  
【発明者】  
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内  
【氏名】 塙渕 敏明  
【特許出願人】  
【識別番号】 503121103  
【氏名又は名称】 株式会社ルネサステクノロジ  
【代理人】  
【識別番号】 100089118  
【弁理士】  
【氏名又は名称】 酒井 宏明  
【手数料の表示】  
【予納台帳番号】 036711  
【納付金額】 21,000円  
【提出物件の目録】  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 非同期データ転送装置

【特許請求の範囲】

【請求項1】 並列伝送路を介して接続される送信装置と受信装置とで構成され、互いに非同期の送信用動作クロックおよび受信用動作クロックでもって独自に送信動作および受信動作を行う非同期データ転送装置において、

前記並列伝送路全体における最小遅延量と最大遅延量とを持つように調整された2本の制御用伝送路を設けるとともに、

前記送信装置に、

前記2本の制御用伝送路に送信周期毎に2値レベルが交互に変化するトグル信号を送信する手段を設け、

前記受信装置に、

前記2本の制御用伝送路から取り込んだ伝送路信号が不一致となる期間を検出し、前記不一致期間を示す受信抑制信号を生成する手段と、

前記並列伝送路から伝送路信号を取り込むクロックを前記受信抑制信号の終了に応答して前記受信用動作クロックに基づき発生する手段と、

を設けたことを特徴とする非同期データ転送装置。

【請求項2】 並列伝送路を介して接続される送信装置と受信装置とで構成され、互いに非同期の送信用動作クロックおよび受信用動作クロックでもって独自に送信動作および受信動作を行う非同期データ転送装置において、

前記並列伝送路全体における最小遅延量と最大遅延量とを持つように調整された2本の制御用伝送路を設けるとともに、

前記送信装置に、

前記2本の制御用伝送路に前記送信用動作クロックを送信する手段を設け、

前記受信装置に、

前記2本の制御用伝送路から取り込んだ伝送路信号の最小遅延信号がトリガレベルの終了時点を超えたのち最大遅延信号がトリガレベルの開始時点に至るまでの期間を検出し、前記検出した期間を示す受信抑制信号を生成する手段と、

前記並列伝送路から伝送路信号を取り込むクロックを前記受信抑制信号の終了

に応答して前記受信用動作クロックに基づき発生する手段と、  
を設けたことを特徴とする非同期データ転送装置。

【請求項3】 並列伝送路を介して接続される送信装置と受信装置とで構成され、互いに非同期の送信用動作クロックおよび受信用動作クロックでもって独自に送信動作および受信動作を行う非同期データ転送装置において、

前記並列伝送路全体における最小遅延量と最大遅延量とを持つように調整された2本の制御用伝送路を設けるとともに、

前記送信装置に、

前記2本の制御用伝送路に送信周期毎に2値レベルが交互に変化するトグル信号を送信する手段を設け、

前記受信装置に、

前記受信用動作クロックに基づき前記並列伝送路から取り込まれた伝送路信号が有効か無効かを判定信号に従って判断し受信処理を行う手段と、

前記2本の制御用伝送路から取り込んだ伝送路信号が不一致となる期間を検出し、前記不一致期間を示す受信抑制信号を生成する手段と、

前記受信抑制信号を前記受信用動作クロックに従って取り込み前記判定信号を発生する手段と、

を設けたことを特徴とする非同期データ転送装置。

【請求項4】 並列伝送路を介して接続される送信装置と受信装置とで構成され、互いに非同期の送信用動作クロックおよび受信用動作クロックでもって独自に送信動作および受信動作を行う非同期データ転送装置において、

前記並列伝送路全体における最小遅延量と最大遅延量とを持つように調整された2本の制御用伝送路を設けるとともに、

前記送信装置に、

前記2本の制御用伝送路に前記送信用動作クロックを送信する手段を設け、

前記受信装置に、

前記受信用動作クロックに基づき前記並列伝送路から取り込まれた伝送路信号が有効か無効かを判定信号に従って判断し受信処理を行う手段と、

前記2本の制御用伝送路から取り込んだ伝送路信号の最小遅延信号がトリガレ

ベルの終了時点を超えたのち最大遅延信号がトリガレベルの開始時点に至るまでの期間を検出し、前記検出した期間を示す受信抑制信号を生成する手段と、

前記受信抑制信号を前記受信用動作クロックに従って取り込み前記判定信号を発生する手段と、

を設けたことを特徴とする非同期データ転送装置。

【請求項5】 並列伝送路を介して接続される送信装置と受信装置とで構成され、互いに非同期の送信用動作クロックおよび受信用動作クロックでもって独自に送信動作および受信動作を行う非同期データ転送装置において、

前記並列伝送路全体における最小遅延量を持つように調整された1本の制御用伝送路を設けるとともに、

前記送信装置に、

前記1本の制御用伝送路に送信周期毎に2値レベルが交互に変化するトグル信号を送信する手段を設け、

前記受信装置に、

前記1本の制御用伝送路から取り込んだ最小遅延信号が一方のレベルから他方のレベルに変化した時点から前記並列伝送路における伝送路信号の最大遅延量に到達する時点までの経過期間を超える時間幅を持つパルス信号を発生する手段と

前記並列伝送路から伝送路信号を取り込むクロックを前記パルス信号の終了に応答して前記受信用動作クロックに基づき発生する手段と、

を設けたことを特徴とする非同期データ転送装置。

【請求項6】 並列伝送路を介して接続される送信装置と受信装置とで構成され、互いに非同期の送信用動作クロックおよび受信用動作クロックでもって独自に送信動作および受信動作を行う非同期データ転送装置において、

前記並列伝送路全体における最小遅延量を持つように調整された1本の制御用伝送路を設けるとともに、

前記送信装置に、

前記1本の制御用伝送路に前記送信用動作クロックを送信する手段を設け、

前記受信装置に、

前記1本の制御用伝送路から取り込んだ最小遅延信号がトリガレベルになった時点から前記並列伝送路における伝送路信号の最大遅延量に到達する時点までの経過期間を超える時間幅を持つパルス信号を発生する手段と、

前記並列伝送路から伝送路信号を取り込むクロックを前記パルス信号の終了に応答して前記受信用動作クロックに基づき発生する手段と、  
を設けたことを特徴とする非同期データ転送装置。

【請求項7】 並列伝送路を介して接続される送信装置と受信装置とで構成され、互いに非同期の送信用動作クロックおよび受信用動作クロックでもって独自に送信動作および受信動作を行う非同期データ転送装置において、

前記並列伝送路全体における最小遅延量を持つように調整された1本の制御用伝送路を設けるとともに、

前記送信装置に、

前記1本の制御用伝送路に前記送信用動作クロックを送信する手段を設け、

前記受信装置に、

前記並列伝送路における伝送路信号の最大遅延信号が前記1本の制御用伝送路から取り込んだ最小遅延信号のトリガレベル期間内に到来する場合において当該最小遅延信号のトリガレベルの期間を示す受信抑制信号を生成する手段と、

前記並列伝送路から伝送路信号を取り込むクロックを前記受信抑制信号の終了に応答して前記受信用動作クロックに基づき発生する手段と、

を設けたことを特徴とする非同期データ転送装置。

【請求項8】 並列伝送路を介して接続される送信装置と受信装置とで構成され、互いに非同期の送信用動作クロックおよび受信用動作クロックでもって独自に送信動作および受信動作を行う非同期データ転送装置において、

前記並列伝送路全体における最大遅延量を持つように調整された1本の制御用伝送路を設けるとともに、

前記送信装置に、

前記1本の制御用伝送路に前記送信用動作クロックを送信する手段を設け、

前記受信装置に、

前記1本の制御用伝送路から取り込んだ最大遅延信号の非トリガレベル期間に

おいて前記並列伝送路における伝送路信号の最小遅延量に到達する以前の時点から当該非トリガレベル期間の終了時点までの経過期間を超える時間幅を持つパルス信号を発生する手段と、

前記並列伝送路から伝送路信号を取り込むクロックを前記パルス信号の終了に応答して前記受信用動作クロックに基づき発生する手段と、  
を設けたことを特徴とする非同期データ転送装置。

【請求項9】 並列伝送路を介して接続される送信装置と受信装置とで構成され、互いに非同期の送信用動作クロックおよび受信用動作クロックでもって独自に送信動作および受信動作を行う非同期データ転送装置において、

前記並列伝送路全体における最大遅延量を持つように調整された1本の制御用伝送路を設けるとともに、

前記送信装置に、

前記1本の制御用伝送路に前記送信用動作クロックを送信する手段を設け、

前記受信装置に、

前記並列伝送路における伝送路信号の最小遅延信号が前記1本の制御用伝送路から取り込んだ最大遅延信号の非トリガレベル期間内に到来する場合において当該最大遅延信号の非トリガレベルの期間を示す受信抑制信号を生成する手段と、

前記並列伝送路から伝送路信号を取り込むクロックを前記受信抑制信号の終了に応答して前記受信用動作クロックに基づき発生する手段と、

を設けたことを特徴とする非同期データ転送装置。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

この発明は、非同期データ転送装置に関するものである。

##### 【0002】

##### 【従来の技術】

非同期データ転送装置では、並列伝送路を介して接続される送信装置と受信装置とが、互いに非同期の送信用動作クロックおよび受信用動作クロックでもって独自に送信動作および受信動作を行うようになっている。以下、図16と図17

を参照して、従来の非同期データ転送方法の概要を説明する。なお、図16は、従来の非同期データ転送装置の構成例を示すブロック図である。図17は、図16に示す非同期データ転送装置においてデータ間スキーが存在する場合の受信動作を説明するタイミングチャートである。

## 【0003】

図16において、送信側回路ブロック100と受信側回路ブロック200は、例えば、並列伝送路である3本の信号伝送路301, 302, 303を介して接続されている。送信側回路ブロック100が持つ送信用の動作クロックClock Aと、受信側回路ブロック200が持つ受信用の動作クロックClock Cとは、互いに別個独立に発生するクロックであり、両者の間には固定的な位相関係は存在しない。

## 【0004】

送信側回路ブロック100は、同期回路を構成する3つの送信用フリップフロップ111, 112, 113が、送信用の動作クロックClock Aに同期して、3ビットの送信データData 0, Data 1, Data 2を取り込み、送信データData 0A, Data 1A, Data 2Aを3本の信号伝送路301, 302, 303に送出する。

## 【0005】

また、受信側回路ブロック200は、同期回路を構成する3つの受信用フリップフロップ211, 212, 213が、動作クロックClock Cに同期して、3本の信号伝送路311, 312, 313から送信データData 0B, Data 1B, Data 2Bを取り込み、受信データData 0C, Data 1C, Data 2Cを処理系に送出する。

## 【0006】

ところで、この種の非同期データ転送装置では、動作クロックが異なる送信側回路ブロックと受信側回路ブロックとは、各々独立した動作を行うことを念頭にした設計がなされている。そして、各回路ブロック間の動作調整のために、回路ブロック間で制御信号をやりとりする構成を探っている。このため、受信側回路ブロックでは、送信側から制御信号がやってきた時点で受信側の動作を決定す

ばよく、データの遅延時間は問題にならない。

【0007】

しかし、非同期データ転送装置では、送信データが変化する時点と受信クロックがデータを取り込む時点とがまったく非同期であるので、入力された送信データが変化している付近に受信用動作クロックの取込エッジが来ることがある。その結果、それに起因する2つの問題が発生する。

【0008】

第一の問題は、フリップフロップに取り込むデータがデータ取り込みのタイミングと完全に重なった場合に、データ取り込みが不完全になってフリップフロップの出力が中間電位になったり、変化した信号が元に戻ったりするメタステーブルを起こすという問題である。

【0009】

第二の問題は、メタステーブルを起こさなくても、複数のビットデータを並列に伝送する並列伝送路では、各伝送路でのデータ遅延量に相違が存在すると、例えば図17に示すように、データ取り込みのタイミングが並列するデータビット間でその変化点の前後になってしまふ場合が発生し、送信側には存在しないデータビットの組み合わせを受け取るという問題である。データ遅延量の違いはスキューと呼ばれる。以下、図17を参照して、非同期データ転送においてこのデータ間スキューが存在する場合の受信動作を具体的に説明する。

【0010】

図17において、送信側回路ブロックでは、動作クロックClock Aに同期して、送信データData2A、Data1A、Data0Aとしてデータビット“100”“011”“100”をこの順に送信している。ところが、3本の信号伝送路では、相互間で遅延量が相違している。図示例では、送信データData0Aが乗る信号伝送路303、送信データData1Aが乗る信号伝送路302、送信データData2Aが乗る信号伝送路301の順に遅延量が大きくなっている。

【0011】

その結果、受信側回路ブロックに到着する送信データData2B、Data

1 B、Data0 Bは、データビットの変化点が一致せず、送信データData0 Bが一番先に変化し、その次に送信データData1 Bが変化し、送信データData2 Bが最後に変化することになる。受信側回路ブロックでは、送信データData2 B、Data1 B、Data0 Bを動作クロックClock Cの立ち上がりエッジに同期したデータ取込点401にて順々に取り込む。

## 【0012】

このとき、一番目の送信データData2 B、Data1 B、Data0 Bでは、データ取込点401が各送信データの変化点以降となるので、受信データData2 C、Data1 C、Data0 Cのデータビットは、送信側と同じデータビット“100”となる。

## 【0013】

しかし、二番目の送信データData2 B、Data1 B、Data0 Bでは、データ取込点401が、送信データData1 Bと送信データData0 Bでは変化点以降であるのに対し、送信データData2 Bでは変化点以前である。したがって、受信データData2 C、Data1 C、Data0 Cのデータビットは、送信側のデータビット“010”とは異なる“111”となり、誤ったデータを受信することになる。この誤ったデータが原因で、受信側回路ブロックが誤った動作を起こすことが考えられる。

## 【0014】

第一のメタステーブル問題に対しては、多くの考案がなされ、防止策も数多く存在する。しかし、第二のデータ間スキー問題に対しては、受信用の動作クロックがどのタイミングになるかを予測できないため、問題を完全に無くすことは不可能である。また、非同期データ転送での誤データ取り込みは、データ間スキーが存在し、たまたま受信側のデータ取り込み点がデータ変化点に存在する場合に起こるので、発生確率としては非常に低いと言える。

## 【0015】

したがって、第二のデータ間スキー問題に対しては、例えば特許文献1、2に見られるように、従来では、データ間スキーを極力小さくすることに注力され、受信側で誤ったデータの組み合わせを取り込む可能性が小さくなるようにし

ているだけであった。

【0016】

なお、特許文献1では、並列伝送路を伝送する複数の伝送信号のうちの同一タイミングとなるべきエッジから一つの伝送信号のエッジを検出する検出手段と、該検出手段で検出されたエッジの周期に応じた補正信号を生成する補正信号生成手段と、前記補正信号生成手段で生成された補正信号に同期させて、前記複数の伝送信号のエッジを夫々一致出力させる補正手段とを有するスキー補正回路が開示されている。

【0017】

また、特許文献2では、送信側からの予め決めてある固定データを受信し最も位相の進んだデータに対する遅れ量を検出するスキー測定用信号パターン検出手路兼スキー値検出手路と、該スキー測定用信号パターン検出手路兼スキー値検出手路で検出された各遅れ量に基づいて該遅れ量が補償されるような制御信号を出力する制御回路と、そのパラレル出力のうち前記制御信号によりスキー補償されたデータを選択して出力するスキー補償回路とを備え、スキー補償されたデータを得るスキー補償方式が開示されている。

【0018】

【特許文献1】

特開平6-54016号公報(0009~0013、図1)

【特許文献2】

特開平4-178047号公報(第2頁、第1図)

【0019】

【発明が解決しようとする課題】

しかしながら、半導体集積回路装置では、非同期データ転送を採用しているので、伝送路の設計では常に注意を払っているが、並列伝送路におけるデータ間スキーをゼロにすることは現実的には不可能である。そのため、近年の回路規模が増大した半導体集積回路装置では、非同期データ転送が数多く存在するので、上記のデータ間スキーの問題が無視できなくなり、自装置内で誤動作が頻繁に起こりうる。したがって、特に大規模な半導体集積回路装置においては、データ

間スキーによる誤データ取り込みを少なくする措置では、不十分であり、積極的に誤データ取り込みを回避できる根本的な対策を講ずることが望まれている。

【0020】

この発明は、上記に鑑みてなされたもので、並列伝送路におけるデータ間スキーに起因する誤データ取り込みを防止する手段を備えた非同期データ転送装置を得ることを目的とする。

【0021】

【課題を解決するための手段】

上記目的を達成するため、この発明にかかる非同期データ転送装置は、並列伝送路を介して接続される送信装置と受信装置とで構成され、互いに非同期の送信用動作クロックおよび受信用動作クロックでもって独自に送信動作および受信動作を行う非同期データ転送装置において、前記並列伝送路全体における最小遅延量と最大遅延量とを持つように調整された2本の制御用伝送路の双方または一方を設けるとともに、前記送信装置に、前記2本の制御用伝送路の双方または一方で送信周期毎に2値レベルが交互に変化するトグル信号または送信用動作クロックを送信する手段を設け、前記受信装置に、前記2本の制御用伝送路の双方または一方から取り込んだ伝送路信号に基づき前記並列伝送路からの伝送路信号を全てが変化していないタイミングで取り込むように制御する手段を設けたことを特徴とする。

【0022】

この発明によれば、前記並列伝送路全体における最小遅延量と最大遅延量とを持つように調整された2本の制御用伝送路の双方または一方を設け、制御用伝送路に乗せる制御信号を用いて、並列伝送路からの伝送路信号を全てが変化していないタイミングで取り込むように制御できるようにしたので、並列伝送路におけるデータ間スキーに起因する誤データ取り込みを防止することができる。

【0023】

【発明の実施の形態】

以下に添付図面を参照して、この発明にかかる非同期データ転送の好適な実施の形態を詳細に説明する。

## 【0024】

実施の形態1.

図1は、この発明の実施の形態1である非同期データ転送装置の構成を示すブロック図である。図1において、送信側回路ブロック10aと受信側回路ブロック20aは、例えば、3本の信号用伝送路30a, 30b, 30bに加えて、2本の制御用伝送路31a, 31bを介して接続されている。図1では、制御用伝送路31aは、3本の信号用伝送路30a, 30b, 30bの全体における最小遅延量を持つように調節設定されている。また、制御用伝送路31bは、3本の信号用伝送路30a, 30b, 30bの全体における最大遅延量を持つように調節設定されている。

## 【0025】

送信側回路ブロック10aが持つ送信用の動作クロックClockAと、受信側回路ブロック20aが持つ受信用の動作クロックClockCとは、互いに別個独立に発生するクロックであり、両者の間には固定的な位相関係は存在しない。

## 【0026】

送信側回路ブロック10aには、送信用の動作クロックClockAに従って同期動作を行う送信用フリップフロップ11a, 11b, 11cと、制御用フリップフロップ12a, 12bとが設けられている。送信用フリップフロップ11a, 11b, 11cには、送信データData2, Data1, Data0が入力されている。送信用フリップフロップ11a, 11b, 11cが同期して出力する送信データData2A, Data1A, Data0Aは、信号用伝送路30a, 30b, 30bに送出されるとしている。

## 【0027】

また、制御用フリップフロップ12a, 12bには、データ間スキューの問題を回避する制御信号として、2値のレベルが送信周期毎に交互に変化するトグルデータ信号(Toggle data)が入力されている。制御用フリップフロップ12a, 12bが同期して出力する制御信号CNT1A, CNT2Aは、制御用伝送路31a, 31bに送出されるとしている。

## 【0028】

受信側回路ブロック20aには、受信用フリップフロップ21a, 21b, 21cの他に、制御用伝送路31a, 31bから制御信号CNT1B, CNT2Bを取り込む受信データ取込制御回路40aが設けられている。受信データ取込制御回路40aは、受信用の動作クロックClockCが入力され、後述するよう取込クロックClockCiを生成する。

## 【0029】

受信用フリップフロップ21a, 21b, 21cは、取込クロックClockCiに従って信号用伝送路30a, 30b, 30bから送信データData2B, Data1B, Data0Bを取り込み、受信データData2C, Data1C, Data0Cを内部の処理系に出力するようになっている。

## 【0030】

この実施の形態による受信データ取込制御回路40aは、制御用伝送路31a, 31bから制御信号CNT1B, CNT2Bが入力される抑制期間決定回路41aと、抑制期間決定回路41aの出力である受信抑制信号TIMEを一方の入力とし、動作クロックClockCを他方の入力とする受信クロック抑制回路42とで構成されている。

## 【0031】

抑制期間決定回路41aは、この実施の形態では、排他的論理和回路(EXN OR回路)で構成され、制御信号CNT1B, CNT2Bが不一致である期間内、受信クロック抑制回路42に与える受信抑制信号TIMEを受信抑制期間内、低レベル(以下「Lレベル」という)にするようになっている。

## 【0032】

受信クロック抑制回路42は、論理積回路(AND回路)で構成され、受信抑制信号TIMEが高レベル(以下「Hレベル」という)である期間において、動作クロックClockCから取込クロックClockCiを変成して出力するようになっている。

## 【0033】

ここで、信号用伝送路30a, 30b, 30cと制御用伝送路31a, 31b

は、当初から固定的に定めても良いが、図1の例で言えば、5本の伝送路を敷設した後に、図2に示す手順で設定する方が望ましい。なお、図2は、データ間スキューの問題を回避する制御信号を非同期システムに取り込む手順を説明するフローチャートである。

#### 【0034】

すなわち、図2において、手順(1)では、対象とする回路ブロック間の並列データ伝送に必要な配線数に2本加えた配線を施す。この場合、配線経路によつては、バッファを挿入する必要の生ずる場合がある。

#### 【0035】

手順(2)では、回路ブロック間において信号伝達の遅延時間をピット毎に計算し、最小遅延量と最大遅延量とを与える2本の配線を除いた残りの配線を本来の回路ブロック間における信号用伝送路に割り当てる。すなわち、送信側回路ブロックと受信側回路ブロックの対応する同期回路（送信用と受信用のフリップフロップ）間をこの割り当てた信号用伝送路で接続する。

#### 【0036】

そして、手順(3)では、上記のように特定した最小遅延量と最大遅延量を持つ配線を制御用伝送路としてこの実施の形態による受信データ取り込み制御論理に割り当てる。すなわち、図1の例で言えば送信側回路ブロック10aでは、制御信号を出力する同期回路（制御用フリップフロップ12a, 12b）に接続する。そして、受信側回路ブロック20aでは、新たに設けた受信データ取込制御回路40aに接続し、データ間スキューの問題を回避した取込クロックC10c k Ciを生成する。

#### 【0037】

次に、図1を参照しつつ図3に沿って、以上のように構成される非同期データ転送装置の動作について説明する。なお、図3は、図1に示す非同期データ転送装置の動作を説明するタイミングチャートである。

#### 【0038】

図3において、送信側回路ブロック10aでは、送信データData2A, Data1A, Data0Aと制御信号CNT1A, CNT2Aとが動作クロック

Clock Aに同期して伝送路に送出される。送信データData2A, Data1A, Data0Aのデータビットは、“100”、“011”“100”となっている。また、制御信号CNT1A, CNT2Aは、トグルデータ信号であるので、動作クロックClock Aの1クロック周期毎に、HレベルとLレベルとが交互に現れている。

#### 【0039】

図3の例では、データ遅延量は、送信データData0Aが乗る信号用伝送路30c、送信データData1Aが乗る信号用伝送路30b、送信データData2Aが乗る信号用伝送路30aの順に大きくなっている。その結果、受信側回路ブロック20aでは、信号用伝送路30cからの送信データData0B、信号用伝送路30bからの送信データData1B、信号用伝送路30aからの送信データData2Bがこの順に到着する。

#### 【0040】

また、制御信号CNT1Aが乗る制御用伝送路31aは、最小遅延量であるので、受信側回路ブロック20aでは、制御用伝送路31aからの制御信号CNT1Bが送信データData0Bよりも先に到着する。そして、制御信号CNT2Aが乗る制御用伝送路31bは、最大遅延量であるので、受信側回路ブロック20aでは、制御用伝送路31bからの制御信号CNT2Bが送信データData2Bよりも後で到着する。

#### 【0041】

つまり、受信側回路ブロック20aでは、制御信号CNT1Bが到着した後、制御信号CNT2Bが到着するまでの期間61a, 62b内に、送信データData0B, Data1B, Data2Bが順々に到着する。しかし、この期間61a, 62b内では各データは変化しているので、受信側回路ブロック20aでは、この期間61a, 62b内に取り込むと、この発明が問題にしているデータ間スキューによる誤データ取り込みが発生するおそれがある。

#### 【0042】

制御信号CNT1Bと制御信号CNT2Bは、HレベルとLレベルが同じ態様で変化するので、制御信号CNT1Bが到着した後、制御信号CNT2Bが到着

するまでの期間 61a, 62b は、両信号の不一致期間である。そこで、受信データ取込制御回路 40a では、抑制期間決定回路 41a にて不一致の期間 61a, 62b を受信抑制期間として検出し、その受信抑制期間 61a, 62b 内、L レベルになる受信抑制信号 TIME を発生する。そして、受信クロック抑制回路 42 にて、受信抑制信号 TIME と受信用の動作クロック ClockC との論理積を取り、動作クロック ClockC がトリガレベルに立ち上がるクロックエッジを受信抑制期間 61a, 62b 以降に移動した取込 ClockCi を生成するようにしている。

#### 【0043】

その結果、信号用伝送路 30a, 30b, 30c からの送信データ Data2B, Data1B, Data0B を取込 ClockCi の立ち上がりエッジにて取り込むデータ取込点 62a, 62b は、図 3 に示すように、常に、全てのデータが変化した後となるので、誤ったデータの取り込みが確実に防止される。

#### 【0044】

図示例では、信号用伝送路 30a, 30b, 30c からの送信データ Data2B, Data1B, Data0B が、受信抑制期間 61a 以降に位置するデータ取込点 62a において取込 ClockCi の立ち上がりエッジにて取り込まれ、受信抑制期間 61b 以降に位置するデータ取込点 62b において取込 ClockCi の立ち上がりエッジにて取り込まれることになる。

#### 【0045】

これによって、送信データ Data2, Data1, Data0 のデータビット “100” “011” “100” と同じ論理状態の正しい受信データ Data2C, Data1C, Data0C が得られる。

#### 【0046】

なお、データの取り込み抑制によってデータの受信が遅れることになるが、本装置は各ブロックが非同期で動作している装置であるので、この時間的な遅れは問題にならない。

#### 【0047】

実施の形態 2.

図4は、この発明の実施の形態2である非同期データ転送装置の構成を示すブロック図である。なお、図4では、図1に示した構成と同一ないしは同等である構成要素には、同一の符号が付されている。ここでは、この実施の形態2に関する部分を中心に説明する。

【0048】

図4に示す非同期データ転送装置は、図1に示した構成において、送信側回路ブロック10aに代えた送信側回路ブロック10bと、受信側回路ブロック20aに代えた受信側回路ブロック20bとを備えている。

【0049】

送信側回路ブロック10bでは、図1に示した送信側回路ブロック10aにおいて、制御用フリップフロップ12a, 12bに代えてバッファ13, 14が設けられ、バッファ13, 14には、動作クロックClock Aが入力されている。

【0050】

受信側回路ブロック20bでは、図1に示した受信側回路ブロック20aにおいて、受信データ取込制御回路40aに代えて受信データ取込制御回路40bが設けられている。受信データ取込制御回路40bは、図1に示した受信データ取込制御回路40aにおいて、抑制期間決定回路41aに代えて抑制期間決定回路41bが設けられている。

【0051】

抑制期間決定回路41bは、反転入力端を持つ論理積回路(NAND回路)で構成され、反転入力端に制御信号CNT2Bが入力され、ノーマル入力端に制御信号CNT1Bが入力されている。

【0052】

次に、図4を参照しつつ図5に沿って、以上のように構成される非同期データ転送装置の動作について説明する。なお、図5は、図4に示す非同期データ転送装置の動作を説明するタイミングチャートである。

【0053】

図5では、受信側回路ブロック20bでの動作タイミングが示されている。図

5において、受信側回路ブロック20bでは、送信用の動作クロックClock Aである制御信号CNT1BがトリガレベルであるHレベルとなり、送信用の動作クロックClock Aである制御信号CNT2BがトリガレベルであるHレベルとなるまでの期間61a, 61b内に、送信データData0B, Data1B, Data2Bが順々に到着する。

#### 【0054】

しかし、この期間61a, 61b内では各データは変化しているので、受信側回路ブロック20aでは、この期間61a, 61b内に取り込むと、この発明が問題にしているデータ間スキューによる誤データ取り込みが発生するおそれがある。ここに、制御信号CNT1Bと制御信号CNT2Bは、トリガレベルであるHレベルと非トリガレベルであるLレベルが同じ様で変化するので、この期間61a, 61bは、両信号の不一致期間である。

#### 【0055】

そこで、受信データ取込制御回路40bでは、抑制期間決定回路41bにて不一致の期間61a, 61bを受信抑制期間として検出し、その検出した受信抑制期間61a, 61b内、Lレベルになる受信抑制信号TIMEを発生する。そして、受信クロック抑制回路42にて、受信抑制信号TIMEと受信用の動作クロックClock Cとの論理積を取り、動作クロックClock Cがトリガレベルに立ち上がるクロックエッジを受信抑制期間61a, 61b以降に移動した取込Clock Ciを生成するようにしている。

#### 【0056】

その結果、実施の形態1と同様に、信号用伝送路30a, 30b, 30cからの送信データData2B, Data1B, Data0Bを取込Clock Ciの立ち上がりエッジにて取り込むデータ取込点62a, 62bは、図5に示すように、常に、全てのデータが変化した後となるので、誤ったデータの取り込みが確実に防止される。

#### 【0057】

このように、実施の形態2では、データ間スキューの時間幅は、送信用の動作クロックのトリガレベルの時間幅以内となるように設計する必要があるが、制御

信号に送信用の動作クロックを用いるので、送信側回路ブロックにおける制御信号出力端がバッファのみとなり、構成上簡単になる利点がある。

## 【0058】

実施の形態3.

図6は、この発明の実施の形態3である非同期データ転送装置の構成を示すブロック図である。なお、図6では、図1に示した構成と同一ないしは同等である構成要素には、同一の符号が付されている。ここでは、この実施の形態3に関する部分を中心に説明する。

## 【0059】

図6に示す非同期データ転送装置は、図1に示した構成において、受信側回路ブロック20aに代えた受信側回路ブロック20cが設けられている。受信側回路ブロック20cでは、図1に示した受信データ取込制御回路40aに代えて受信データ取込制御回路40cが設けられ、データ処理回路50が追加されている。また、受信用フリップフロップ21a, 21b, 21cは、受信用の動作クロックClockCに同期して動作し、取り込んだ受信データData0C, Data1C, Data2Cをデータ処理回路50に与えるようになっている。

## 【0060】

受信データ取込制御回路40cは、図1に示した受信データ取込制御回路40aにおいて、受信クロック抑制回路42に代えて判定用フリップフロップ43が設けられている。判定用フリップフロップ43は、抑制期間決定回路41aの出力である受信抑制信号TIMEを動作クロックClockCに従って取り込み、受信データが有効(Valid)であるか、無効(Invalid)であるかを判定する制御信号となるイネーブル信号Enableを出力するようになっている。

## 【0061】

データ処理回路50は、イネーブル信号Enableによって、受信用フリップフロップ21a, 21b, 21cから入力された受信データData0C, Data1C, Data2Cの有効・無効を判断し、受信処理する機能を有している。

## 【0062】

次に、図6を参照しつつ図7に沿って、以上のように構成される非同期データ転送装置の動作について説明する。なお、図7は、図6に示す非同期データ転送装置の動作を説明するタイミングチャートである。

## 【0063】

図7では、受信側回路ブロック20cでの動作タイミングが示されている。図7において、受信側回路ブロック20cでは、トグルデータ信号である制御信号CNT1Bが到着した後、トグルデータ信号である制御信号CNT2Bが到着するまでの期間61a, 62b内に、送信データData0B, Data1B, Data2Bが順々に到着するが、この期間61a, 62b内では各データは変化している。

## 【0064】

制御信号CNT1Bと制御信号CNT2Bは、HレベルとLレベルが同じ様で変化するので、制御信号CNT1Bが到着した後、制御信号CNT2Bが到着するまでの期間61a, 62bは、両信号の不一致期間である。そこで、受信データ取込制御回路40cでは、抑制期間決定回路41aにて、実施の形態1と同様に、不一致の期間61a, 62bを受信抑制期間として検出し、その受信抑制期間61a, 62b内、Lレベルになる受信抑制信号TIMEを発生する。

## 【0065】

しかし、受信用の動作クロックClockCがトリガレベルである期間は、受信抑制信号TIMEの発生期間から外れる場合もあるが、重複する場合もある。図7の例では、期間61aによる受信抑制信号TIMEの発生期間は動作クロックClockCのトリガレベル期間の前にあり、重複していないが、期間61bによる受信抑制信号TIMEの発生期間は動作クロックClockCのトリガレベル期間と重複している。

## 【0066】

したがって、動作クロックClockCに同期してデータ取り込みを行う受信用フリップフロップ21a, 21b, 21cでは、受信抑制期間61aの以降に存在するデータ取込点62aにてデータの取り込みを行う場合と、受信抑制期間

61bの内部に存在するデータ取込点62bにてデータの取り込みを行う場合がある。当然、データ取込点62aでは、正しいデータの取り込みが行えるが、データ取込点62bでは誤ったデータの取り込みが行われる。

#### 【0067】

ところが、判定用フリップフロップ43では、動作クロックClockCに同期して受信抑制信号TIMEを取り込むが、受信抑制信号TIMEは、正しいデータの取り込みが行えるときは、Hレベルになっており、誤ったデータの取り込みが行われるときは、Lレベルになっている。

#### 【0068】

したがって、判定用フリップフロップ43では、正しいデータの取り込みが行われたときは、有効（Valid）を示すHレベルのイネーブル信号Enableを出力し、誤ったデータの取り込みが行われたときは、無効（Invalid）を示すLレベルのイネーブル信号Enableを出力することができる。

#### 【0069】

これによって、データ処理回路50では、イネーブル信号Enableに従って正しい受信処理が行えることになる。すなわち、データ取込点62aにて取り込まれた受信データの受信処理では、イネーブル信号Enableは有効（Valid）を示すHレベルであるので、入力された受信データ“100”は正しいと判断できる。また、データ取込点62bにて取り込まれた受信データの受信処理では、イネーブル信号Enableは無効（Invalid）を示すLレベルであるので、入力された受信データ“111”は誤っていると判断できる。

#### 【0070】

このように、実施の形態3によれば、実施の形態1、2と同様に、データ間スキーの問題を確実に回避することができる。加えて、この実施形態3では、受信側の動作クロックにゲートを挿入しないので、受信側回路ブロックにおいて受信用の動作クロックから受信用のフリップフロップ出力までの遅延を小さくできる利点がある。

#### 【0071】

なお、実施形態3では、制御信号としてトグルデータを用いたが、データ間ス

キューの時間幅が送信用の動作クロックのトリガレベルの時間幅以内となる設計になっている場合には、実施の形態2と同じように送信用の動作クロックを制御信号とすることができます。この場合には、受信データ取込制御回路40cにおいて抑制期間決定回路41aに代えて図4に示した抑制期間決定回路41bを用いればよい。同様内容のイネーブル信号が作成できる。

## 【0072】

実施の形態4.

図8は、この発明の実施の形態4である非同期データ転送装置の構成を示すブロック図である。なお、図8では、図4に示した構成と同一ないしは同等である構成要素には、同一の符号が付されている。ここでは、この実施の形態4に関わる部分を中心に説明する。

## 【0073】

図8に示した非同期データ転送装置では、図4に示した構成において、送信側回路ブロック10bに代えて送信側回路ブロック10cが設けられ、受信側回路ブロック20bに代えて受信側回路ブロック20dが設けられている。そして、制御用伝送路は、最小遅延量を与える制御用伝送路31aのみとなっている。

## 【0074】

送信側回路ブロック10cは、図4に示した送信側回路ブロック10bにおいて、送信用フリップフロップ11a, 11b, 11cの他に、制御信号としての動作クロックClock Aを制御用伝送路31aに送出するバッファ13を備えている。受信側回路ブロック20dでは、受信データ取込制御回路40bに代えて受信データ取込制御回路40dが設けられている。

## 【0075】

受信データ取込制御回路40dでは、図4に示した抑制期間決定回路41bの反転入力端と制御用伝送路31aとの間に遅延回路(Delay)45が設けられ、遅延回路45と抑制期間決定回路41bの全体でパルス発生回路44aを構成している。

## 【0076】

すなわち、遅延回路45は、制御用伝送路31aの伝送路信号(動作クロック

Clock A) である制御信号 CNT1B を最大遅延量だけ遅延した遅延信号 DITM を抑制期間決定回路 41b の反転入力端に与える。抑制期間決定回路 41b では、制御用伝送路 31a から直接入力する制御信号 CNT1B である動作クロック Clock A のトリガレベルに立ち上がる時点から遅延回路 45 から入力する遅延した動作クロック Clock A のトリガレベルに立ち上がる時点までの期間内、L レベルとなるパルス信号である受信抑制信号 TIME を発生する。したがって、受信クロック抑制回路 42 は、実施の形態 2 と同内容の取込クロック Clock Ci が生成できるようになっている。

#### 【0077】

次に、図 8 を参照しつつ図 9 に沿って、以上のように構成される非同期データ転送装置の動作について説明する。なお、図 9 は、図 8 に示す非同期データ転送装置の動作を説明するタイミングチャートである。

#### 【0078】

図 9 では、受信側回路ブロック 20d での動作タイミングが示されている。図 9において、受信側回路ブロック 20d では、制御信号 CNT1B がトリガレベルである H レベルの所定期間内に、送信データ Data0B, Data1B, Data2B が順々に到着する。

#### 【0079】

このとき、遅延回路 45 は、制御信号 CNT1B を最大遅延量だけ遅延するので、遅延信号 DITM は、送信データ Data2B が到着した後に発生する。したがって、制御信号 CNT1B が到着した時点から遅延信号 DITM が発生する時点までの期間 64a, 64b 内では、送信データ Data0B, Data1B, Data2B の各データは変化している。ところが、抑制期間決定回路 41b は、期間 64a, 64b 内、L レベルとなる受信抑制信号 TIME を発生することができる。

#### 【0080】

したがって、受信クロック抑制回路 42 にて、受信抑制信号 TIME と受信用の動作クロック Clock C との論理積を取り、動作クロック Clock C がトリガレベルに立ち上がるクロックエッジを受信抑制期間 64a, 64b 以降に移

動した取込Clock Ciを生成すれば、信号用伝送路30a, 30b, 30cからの送信データData2B, Data1B, Data0Bを取込Clock Ciの立ち上がりエッジにて取り込むデータ取込点62a, 62bは、図9に示すように、常に、全てのデータが変化した後とどことができ、誤ったデータの取り込みが確実に防止される。

## 【0081】

このように、実施の形態4では、実施の形態1~3と同様の効果が得られる。加えて、追加する制御用伝送路は、1本で済むので、伝送路構成の簡素化が図れる。なお、実施の形態4では、制御信号として送信用の動作クロックを用いたが、実施の形態1と同様にトグルデータ信号を制御信号とすることができる。この場合には、パルス発生回路44aをトグルデータ信号の立ち上がりと立ち下がりの双方に反応する構成とすればよい。

## 【0082】

実施の形態5.

図10は、この発明の実施の形態5である非同期データ転送装置の構成を示すブロック図である。なお、図10では、図8に示した構成と同一ないしは同等である構成要素には、同一の符号が付されている。ここでは、この実施の形態5に関わる部分を中心に説明する。

## 【0083】

図10に示す非同期データ転送装置は、図8に示した構成において、受信側回路ブロック20dに代えて受信側回路ブロック20eが設けられている。受信側回路ブロック20eでは、図8に示した受信側回路ブロック20dにおいて、受信データ取込制御回路40dに代えて受信データ取込制御回路40eを備えている。

## 【0084】

受信データ取込制御回路40eでは、図8に示した受信データ取込制御回路40dにおけるパルス発生回路44aに代えて反転回路46が設けられている。すなわち、制御用伝送路31aの伝送路信号（動作クロックClock A）である制御信号CNT1Bが反転回路46にて反転されて受信クロック抑制回路42に

入力するようになっている。

【0085】

したがって、反転回路46の出力である受信抑制信号TIMEは、動作クロックClockAのトリガレベルの期間内、Lレベルとなるので、受信クロック抑制回路42では、実施の形態4と同様のタイミングで取込クロックClockCiを発生することができる。

【0086】

次に、図10を参照しつつ図11に沿って、以上のように構成される非同期データ転送装置の動作について説明する。なお、図11は、図10に示す非同期データ転送装置の動作を説明するタイミングチャートである。

【0087】

図11では、受信側回路ブロック20eでの動作タイミングが示されている。図11において、受信側回路ブロック20eでは、制御信号CNT1Bである送信用の動作クロックClockAがトリガレベルにある所定期間に内に、送信データData0B, Data1B, Data2Bが順々に到着する。

【0088】

制御信号CNT1Bは、反転回路46にて反転され、受信抑制信号TIMEとして受信クロック抑制回路42に入力するので、受信クロック抑制回路42に入力する受信抑制信号TIMEは、動作クロックClockAのトリガレベルが反転してLレベルとなっている期間65a, 65bを有している。この期間65a, 65b内において、送信データData0B, Data1B, Data2Bの各データは変化している。

【0089】

したがって、受信クロック抑制回路42にて、受信抑制信号TIMEと受信用の動作クロックClockCとの論理積を取り、動作クロックClockCがトリガレベルに立ち上がるクロックエッジを受信抑制期間64a, 64b以降に移動した取込ClockCiを生成すれば、信号用伝送路30a, 30b, 30cからの送信データData2B, Data1B, Data0Bを取込ClockCiの立ち上がりエッジにて取り込むデータ取込点62a, 62bは、図11に

示すように、常に、全てのデータが変化した後とすることで、誤ったデータの取り込みが確実に防止される。

【0090】

このように、実施の形態5では、データ間スキーの時間幅は、送信用の動作クロックのトリガレベルの時間幅以内となるように設計する必要があるが、追加する制御用伝送路が1本で済み伝送路構成の簡素化が図れるのに加えて、受信側回路ブロックの構成が簡単になる利点がある。

【0091】

実施の形態6。

図12は、この発明の実施の形態6である非同期データ転送装置の構成を示すブロック図である。なお、図12では、図4に示した構成と同一ないしは同等である構成要素には、同一の符号が付されている。ここでは、この実施の形態6に関わる部分を中心に説明する。

【0092】

図12に示した非同期データ転送装置では、図4に示した構成において、送信側回路ブロック10bに代えて送信側回路ブロック10dが設けられ、受信側回路ブロック20bに代えて受信側回路ブロック20fが設けられている。そして、制御用伝送路は、最大遅延量を与える制御用伝送路31bのみとなっている。

【0093】

送信側回路ブロック10dは、図4に示した送信側回路ブロック10bにおいて、送信用フリップフロップ11a, 11b, 11cの他に、制御信号としての動作クロックを制御用伝送路31bに送出するバッファ14を備えている。受信側回路ブロック20fでは、受信データ取込制御回路40bに代えて受信データ取込制御回路40fが設けられている。

【0094】

受信データ取込制御回路40fでは、制御用伝送路31bからの伝送路信号（動作クロックC10ckA）から受信抑制信号TIMEを発生して受信クロック抑制回路42に与えるパルス発生回路44bが設けられている。パルス発生回路44bは、制御用伝送路31bからの伝送路信号（動作クロックC10ckA）

である制御信号C N T 2 Bを所定時間だけ遅延した遅延信号D T I Mを出力する遅延回路（D e l a y）4 7と、制御用伝送路3 1 bからの伝送路信号（動作クロックC l o c k A）と遅延回路4 7の出力との論理和を取って所定時間幅を持つパルス信号である受信抑制信号T I M Eを出力するO R回路4 8とで構成されている。したがって、受信クロック抑制回路4 2は、実施の形態2と同内容の取込クロックC l o c k C iが生成できるようになっている。

## 【0095】

次に、図12を参照しつつ図13に沿って、以上のように構成される非同期データ転送装置の動作について説明する。なお、図13は、図12に示す非同期データ転送装置の動作を説明するタイミングチャートである。

## 【0096】

図13では、受信側回路ブロック2 0 fでの動作タイミングが示されている。図13において、受信側回路ブロック2 0 fでは、制御信号C N T 2 Bである動作クロックC l o c k Aが非トリガレベルであるLレベルの所定期間内に、送信データD a t a 0 B, D a t a 1 B, D a t a 2 Bが順々に到着する。

## 【0097】

このとき、遅延回路4 7は、制御信号C N T 2 Bを一番先に到着する送信データD a t a 0 Bの到着時間以下の所定時間6 6 a, 6 6 bだけ遅延してO R回路4 8の一方の入力端に出力する。一方、O R回路4 8の他方の入力端には、制御信号C N T 2 Bが直接入力している。したがって、O R回路4 8の出力であるLレベルの受信抑制信号T I M Eは、制御信号C N T 2 Bの立ち下がり位置を所定時間6 6 a, 6 6 bだけ遅延した位置で立ち下がり、制御信号C N T 2 Bの立ち上がり位置と一致する位置で立ち上がる時間幅6 7 a, 6 7 b内、Lレベルとなるパルス信号となる。

## 【0098】

受信抑制信号T I M EのLレベル時間幅6 7 a, 6 7 b内において、送信データD a t a 0 B, D a t a 1 B, D a t a 2 Bの各データは変化している。したがって、受信クロック抑制回路4 2にて、受信抑制信号T I M Eと受信用の動作クロックC l o c k Cとの論理積を取り、動作クロックC l o c k Cがトリガレ

ベルに立ち上がるクロックエッジを受信抑制期間67a, 67b以降に移動した取込ClockCiを生成すれば、信号用伝送路30a, 30b, 30cからの送信データData2B, Data1B, Data0Bを取込ClockCiの立ち上がりエッジにて取り込むデータ取込点62a, 62bは、図13に示すように、常に、全てのデータが変化した後とすることができます。これによって、誤ったデータの取り込みが確実に防止される。

## 【0099】

このように、実施の形態6では、実施の形態1～5と同様の効果が得られる。加えて、追加する制御用伝送路は、1本で済むので、伝送路構成の簡素化が図れる。

## 【0100】

実施の形態7.

図14は、この発明の実施の形態7である非同期データ転送装置の構成を示すブロック図である。なお、図14では、図12に示した構成と同一ないしは同等である構成要素には、同一の符号が付されている。ここでは、この実施の形態7に関わる部分を中心に説明する。

## 【0101】

図14に示した非同期データ転送装置では、図12に示した構成において、受信側回路ブロック20fに代えて受信側回路ブロック20gが設けられている。受信側回路ブロック20gでは、図12に示した受信データ取込制御回路40fに代えて受信データ取込制御回路40gが設けられている。

## 【0102】

受信データ取込制御回路40gでは、図12に示したパルス発生回路44bに代えて延長線路49が設けられている。なお、延長線路49は、省略可能であり、制御用伝送路31bからの伝送路信号（動作クロックClockA）である制御信号CNT2Bを直接受信クロック抑制回路42に入力する構成でもよい。すなわち、この実施の形態7では、受信クロック抑制回路42に入力する受信抑制信号TIMEが示すLレベルの受信抑制期間は、制御信号CNT2Bである動作クロックClockAの非トリガレベルの期間となっている。

## 【0103】

次に、図14を参照しつつ図15に沿って、以上のように構成される非同期データ転送装置の動作について説明する。なお、図15は、図14に示す非同期データ転送装置の動作を説明するタイミングチャートである。

## 【0104】

図15では、受信側回路ブロック20gでの動作タイミングが示されている。図15において、受信側回路ブロック20gでは、制御信号CNT2Bが非トリガレベルであるLレベルの所定期間68a, 68b内に、送信データData0B, Data1B, Data2Bが順々に到着する。

## 【0105】

したがって、受信クロック抑制回路42にて、制御信号CNT2Bが非トリガレベルであるLレベルの所定期間68a, 68bを受信抑制期間とする受信抑制信号TIMEと受信用の動作クロックClockCとの論理積を取り、動作クロックClockCがトリガレベルに立ち上がるクロックエッジを受信抑制期間67a, 67b以降に移動した取込ClockCiを生成すれば、信号用伝送路30a, 30b, 30cからの送信データData2B, 送信データData1B, 送信データData0Bを取込ClockCiの立ち上がりエッジにて取り込むデータ取込点62a, 62bを、図15に示すように、常に、全てのデータが変化した後とすることことができ、誤ったデータの取り込みを確実に防止できる。

## 【0106】

このように、実施の形態7では、データ間スキューの時間幅が送信用動作クロックの非トリガレベルの期間内に入るように設計する必要があるが、実施の形態1～6と同様に、データ間スキューの問題を回避することができる。加えて、受信側回路ブロックの構成を簡素化することができる。

## 【0107】

## 【発明の効果】

以上説明したように、この発明によれば、前記並列伝送路全体における最小遅延量と最大遅延量とを持つように調整された2本の制御用伝送路の双方または一方を設け、制御用伝送路に乗せる制御信号を用いて、並列伝送路からの伝送路信

号を全てが変化していないタイミングで取り込むように制御できるようにしたので、並列伝送路におけるデータ間スキューに起因する誤データ取り込みを防止することができる。したがって、各種の非同期システムの信頼性を向上させることができることである。

【図面の簡単な説明】

【図1】 この発明の実施の形態1である非同期データ転送装置の構成を示すブロック図である。

【図2】 データ間スキューの問題を回避する制御信号を非同期システムに取り込む手順を説明するフローチャートである。

【図3】 図1に示す非同期データ転送装置の動作を説明するタイミングチャートである。

【図4】 この発明の実施の形態2である非同期データ転送装置の構成を示すブロック図である。

【図5】 図4に示す非同期データ転送装置の動作を説明するタイミングチャートである。

【図6】 この発明の実施の形態3である非同期データ転送装置の構成を示すブロック図である。

【図7】 図6に示す非同期データ転送装置の動作を説明するタイミングチャートである。

【図8】 この発明の実施の形態4である非同期データ転送装置の構成を示すブロック図である。

【図9】 図8に示す非同期データ転送装置の動作を説明するタイミングチャートである。

【図10】 この発明の実施の形態5である非同期データ転送装置が備える受信側装置の構成を示すブロック図である。

【図11】 図10に示す非同期データ転送装置の動作を説明するタイミングチャートである。

【図12】 この発明の実施の形態6である非同期データ転送装置の構成を示すブロック図である。

【図13】 図12に示す非同期データ転送装置の動作を説明するタイミングチャートである。

【図14】 この発明の実施の形態7である非同期データ転送装置の構成を示すブロック図である。

【図15】 図14に示す非同期データ転送装置の動作を説明するタイミングチャートである。

【図16】 従来の非同期データ転送装置の構成例を示すブロック図である。

【図17】 図16に示す非同期データ転送装置においてスキューバーが存在する場合の受信動作を説明するタイミングチャートである。

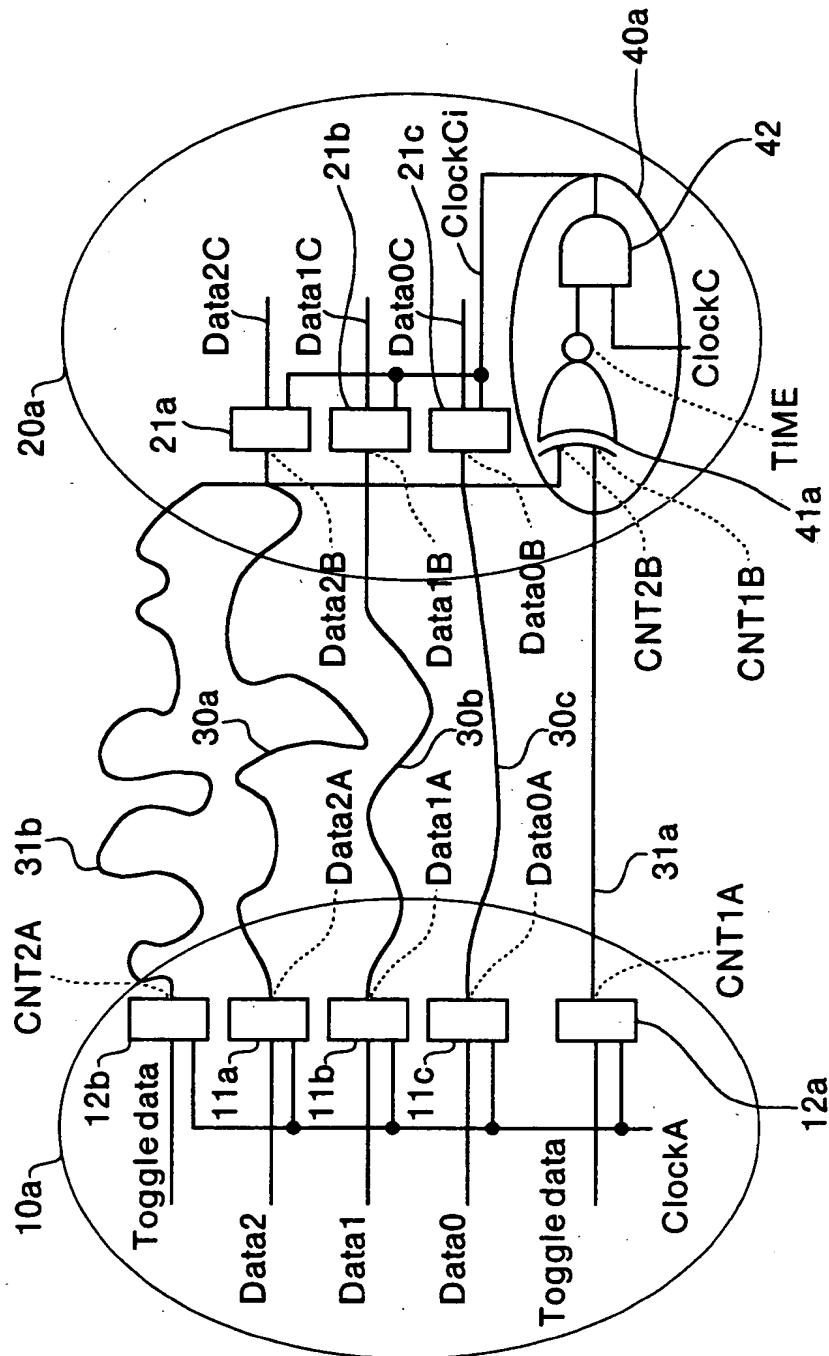
【符号の説明】

10a, 10b, 10c, 10d 送信側回路ブロック、11a, 11b, 11c 送信用フリップフロップ、12a, 12b 制御用フリップフロップ、  
20a, 20b, 20c, 20d, 20e, 20f, 20g 受信側回路ブロック、21a, 21b, 21c 受信用フリップフロップ、30a, 30b, 30c 信号用伝送路、31a, 31b 制御用伝送路、40a, 40b, 40c, 40d, 40e, 40f, 40g 受信データ取込制御回路、41a, 41b 抑制期間決定回路、42 受信クロック抑制回路、43 判定用フリップフロップ、44a, 44b パルス発生回路、45, 47 遅延回路（Delay）、46 反転回路、48 OR回路、49 延長線路、50 データ処理回路、C NT1A, C NT2A 伝送路に送出する制御信号、C NT1B, C NT2B 伝送路から取り込む制御信号、TIME 受信抑制信号。

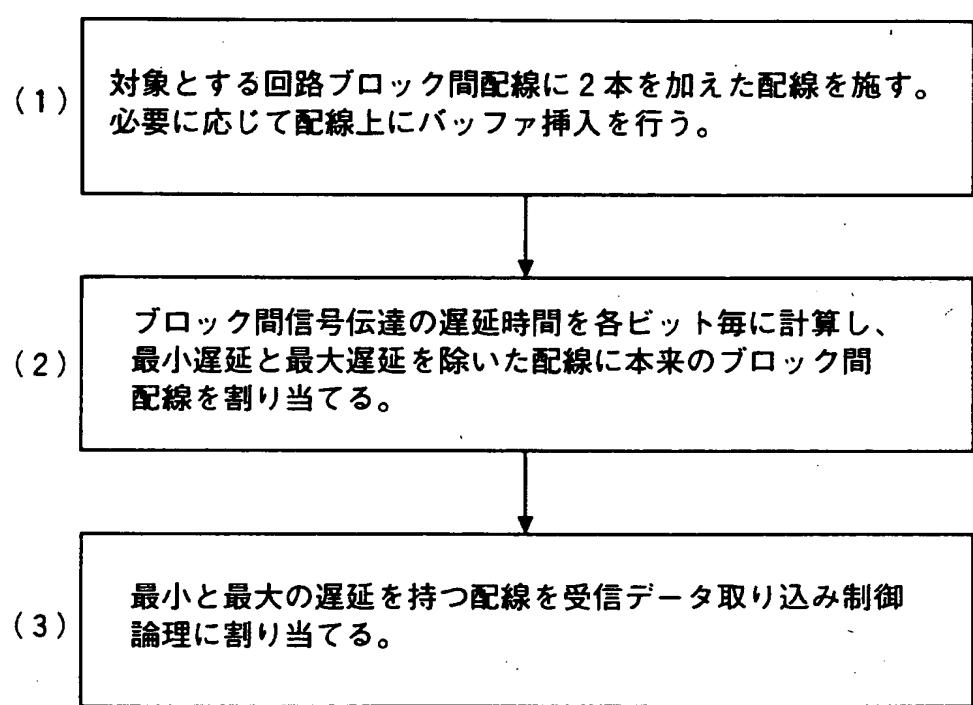
【書類名】

図面

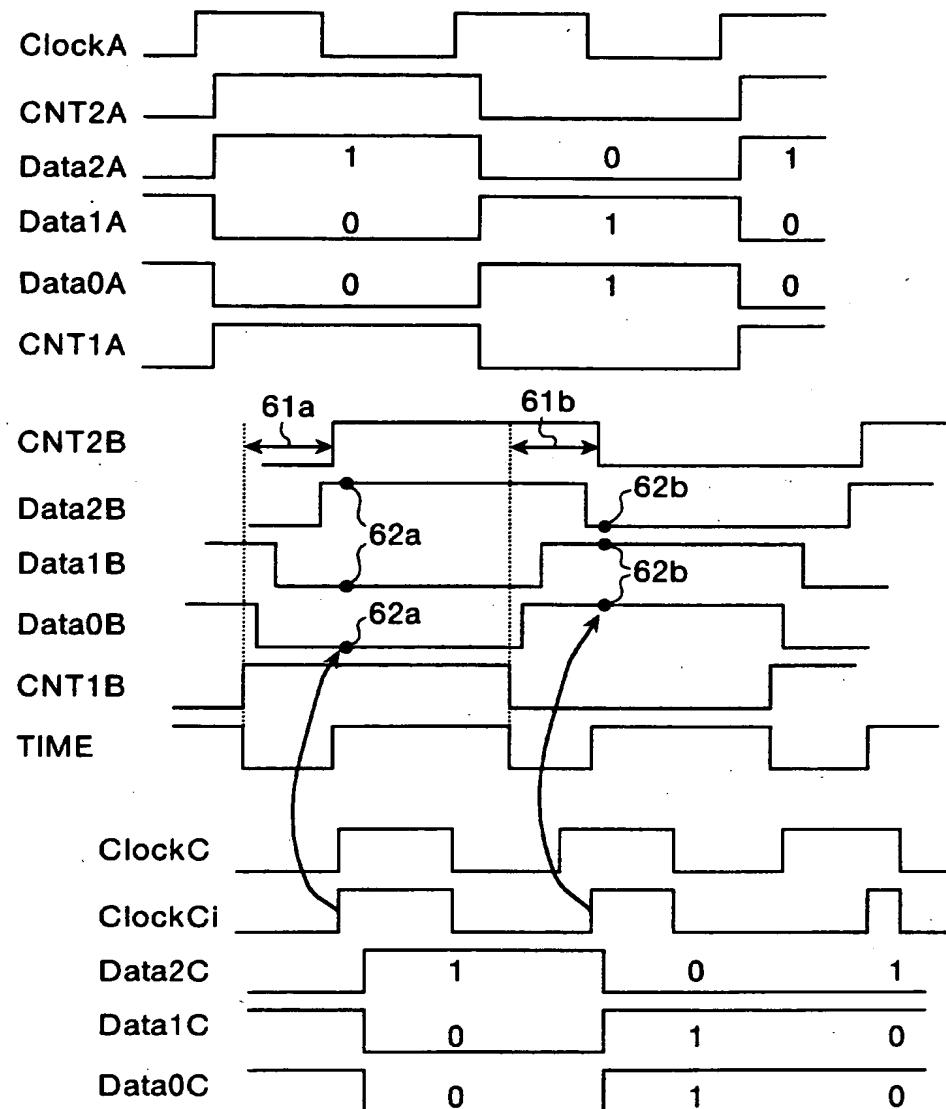
【図1】



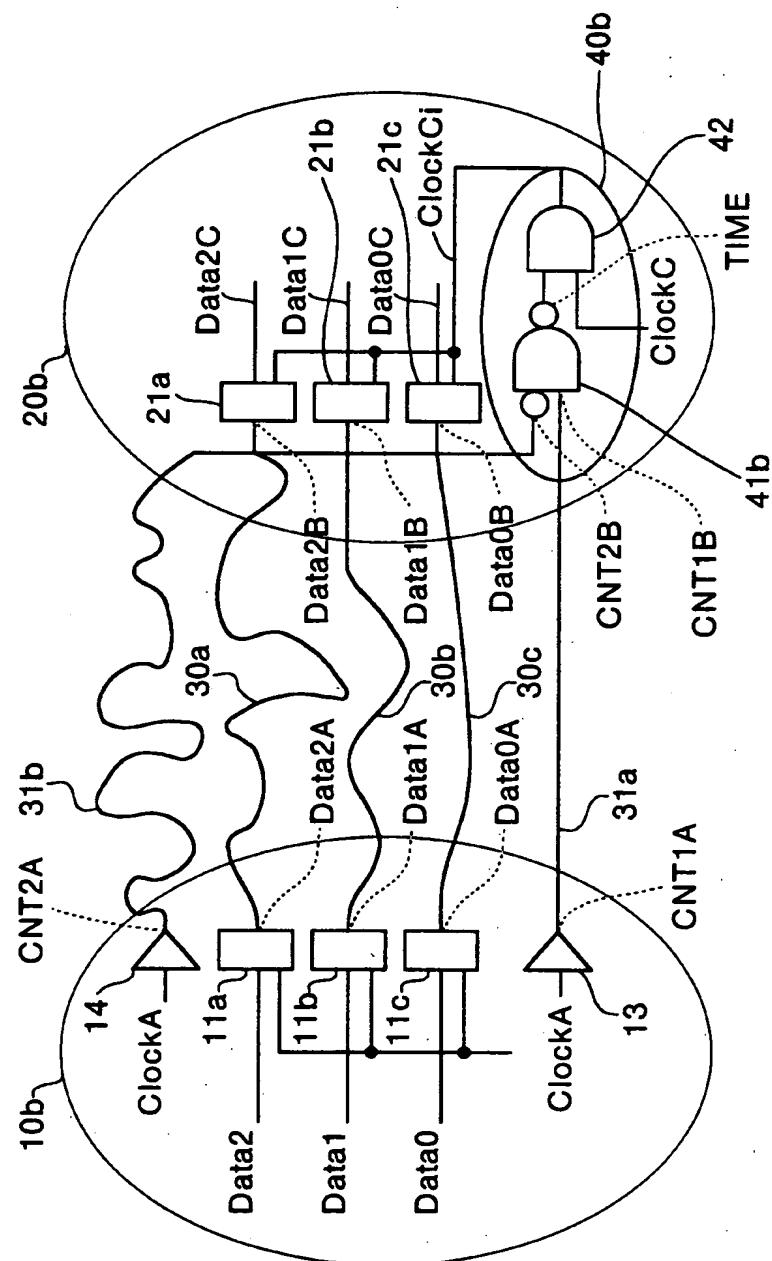
【図2】



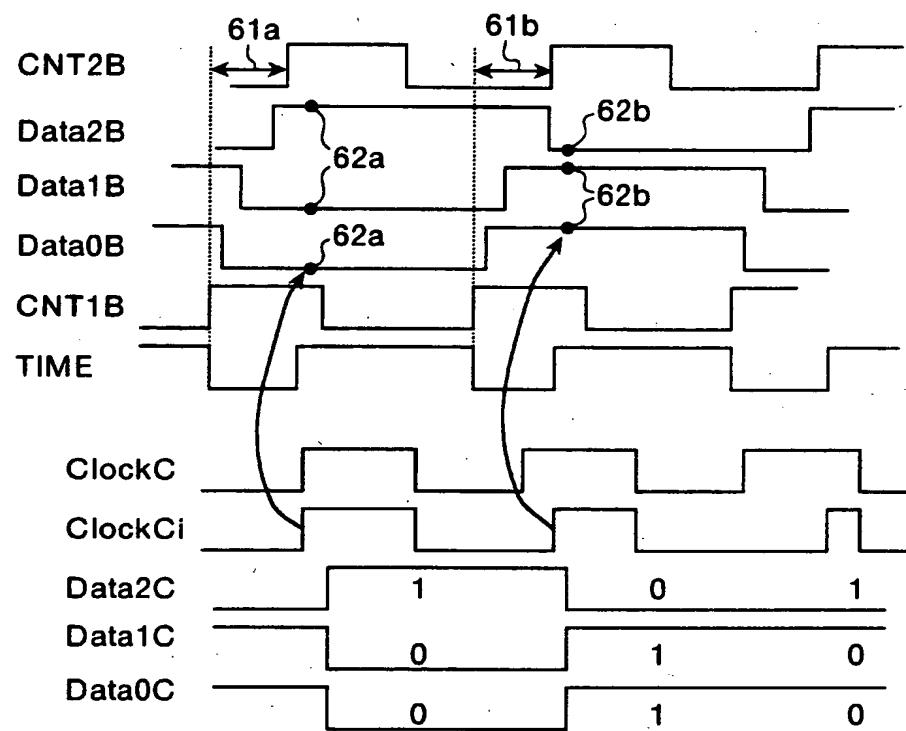
【図3】



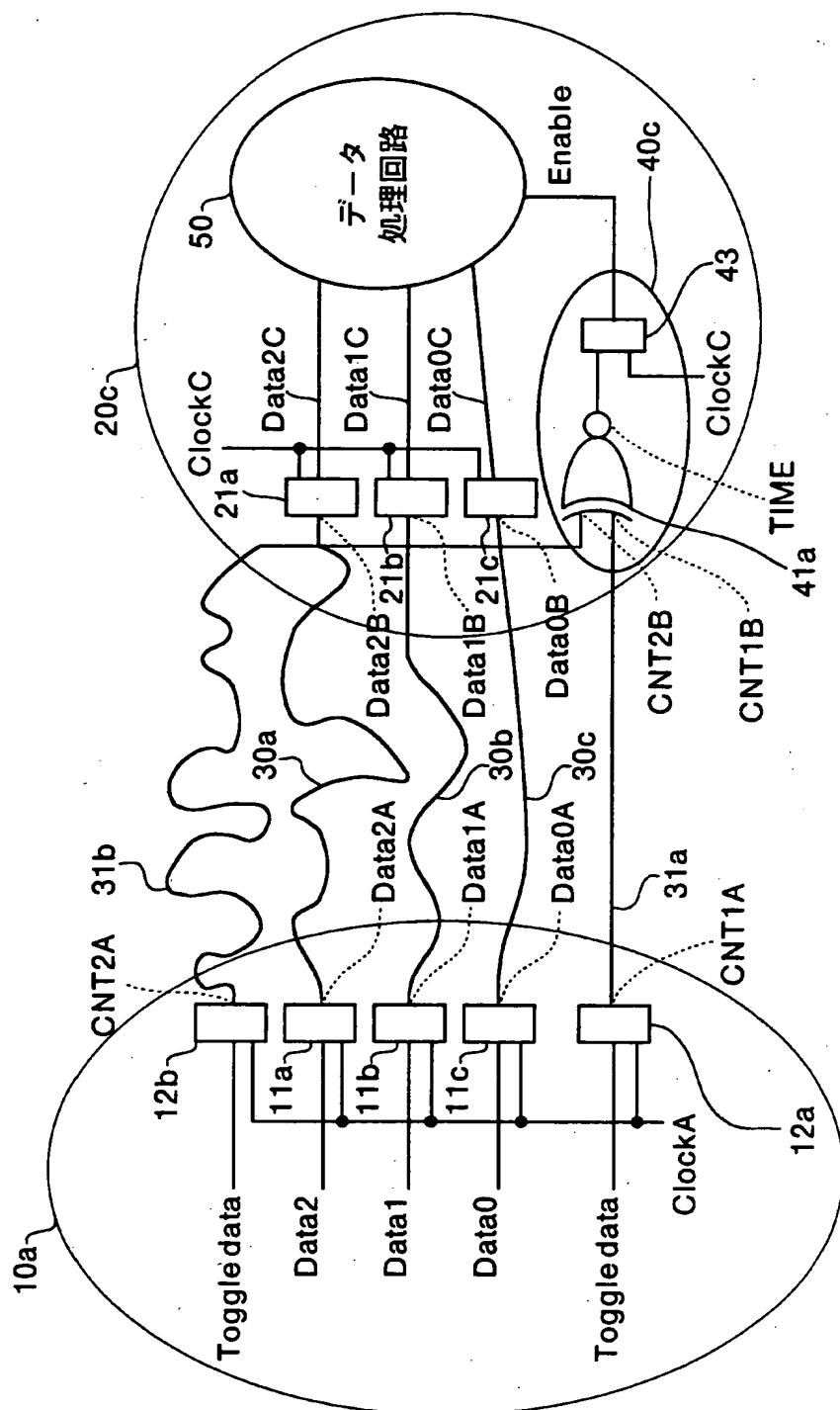
【図4】



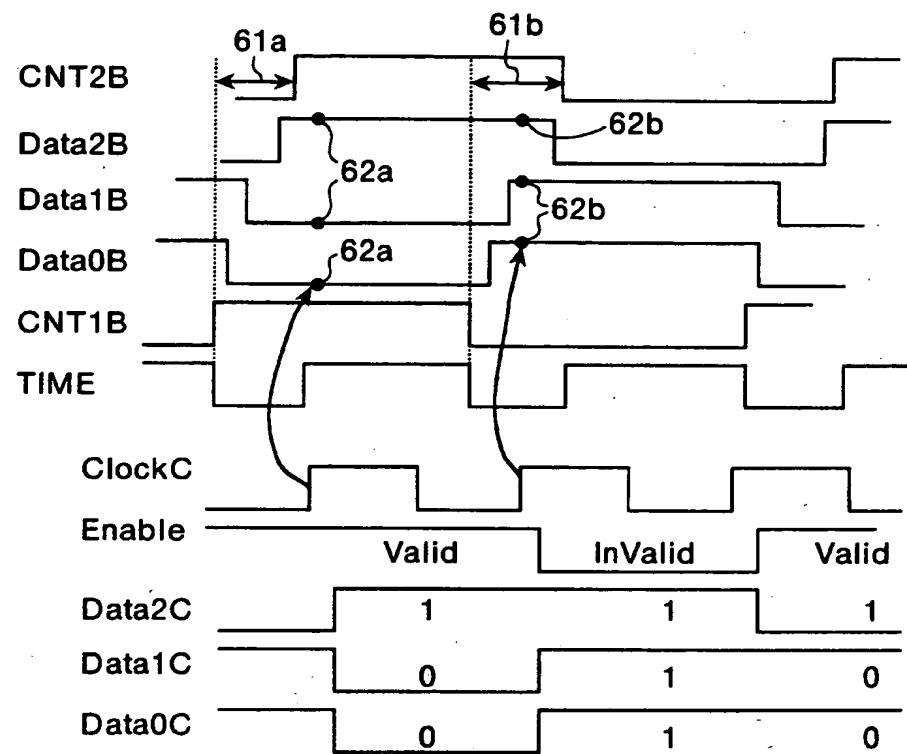
【図5】



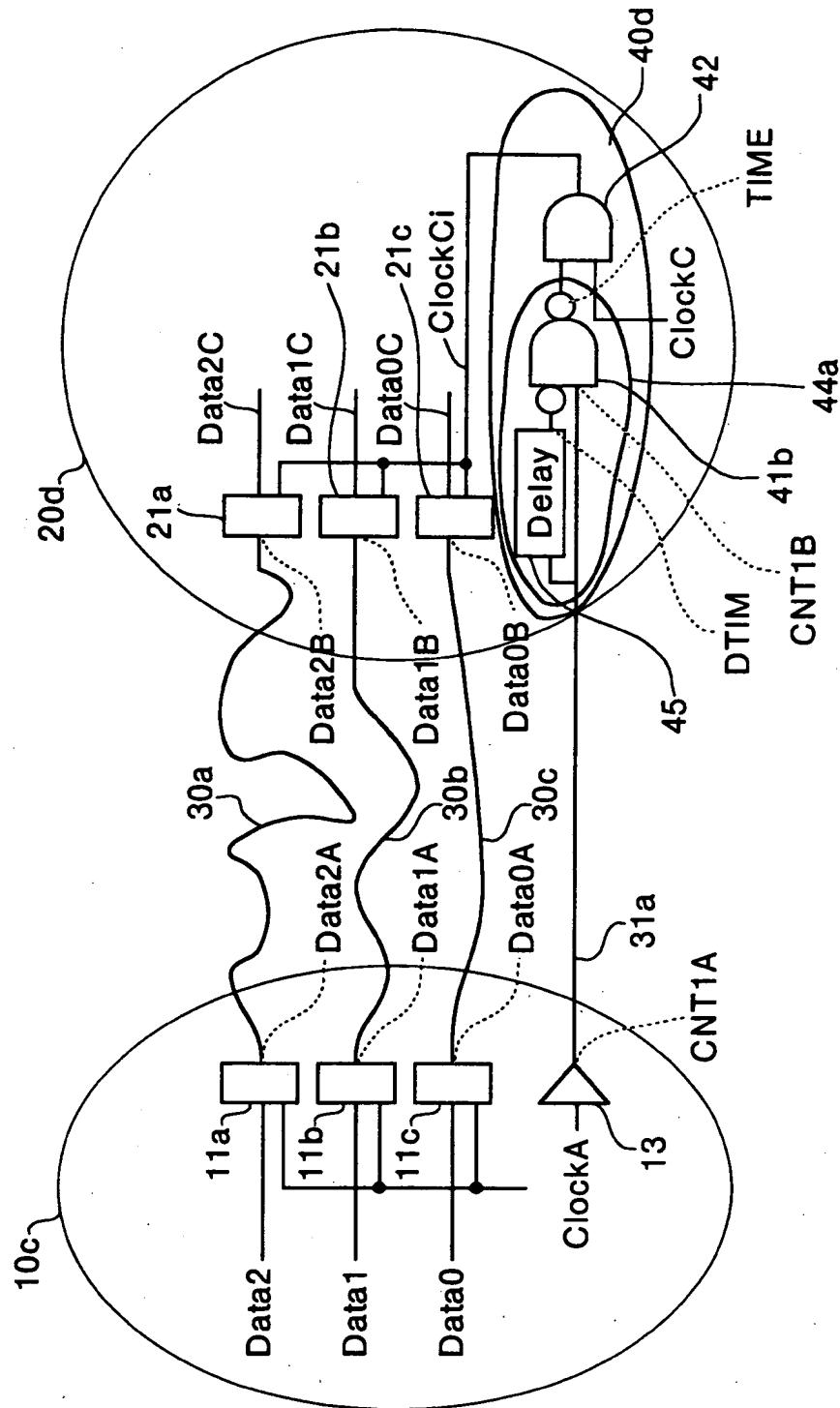
【図6】



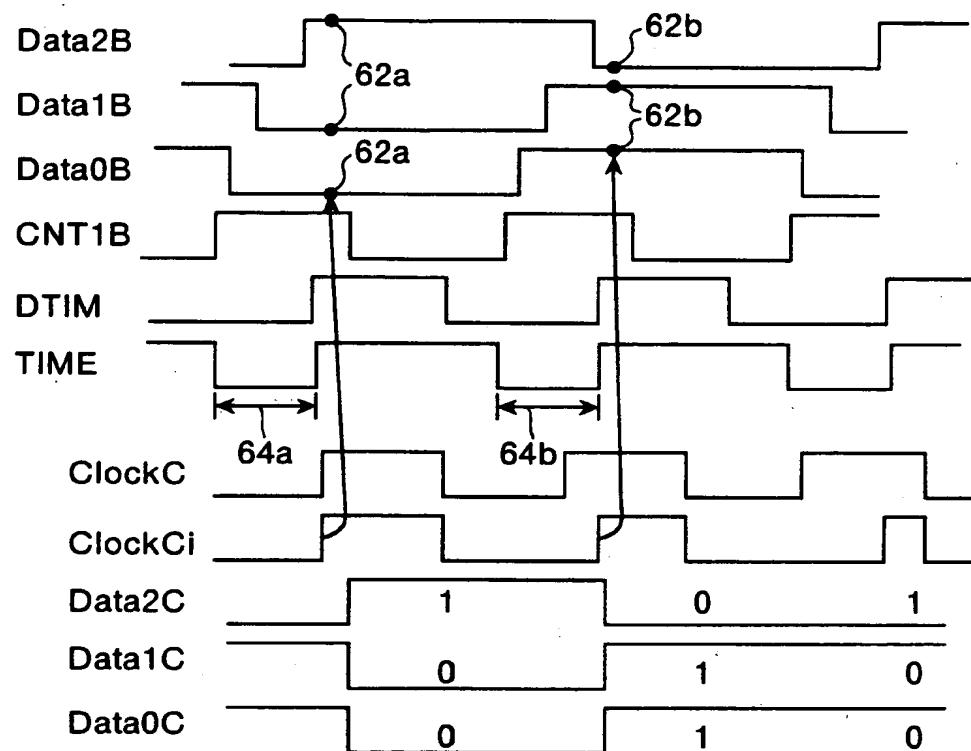
【図7】



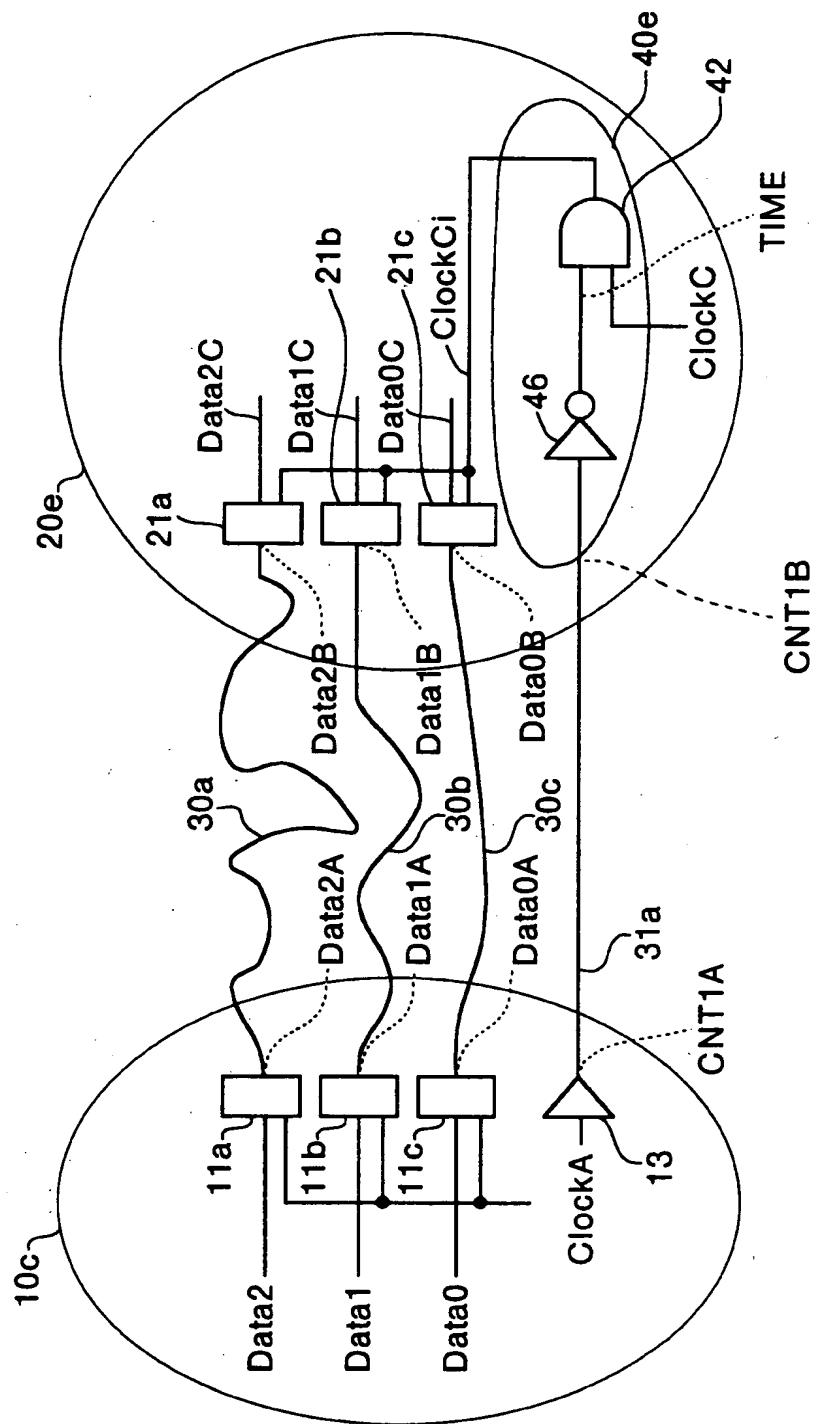
【図8】



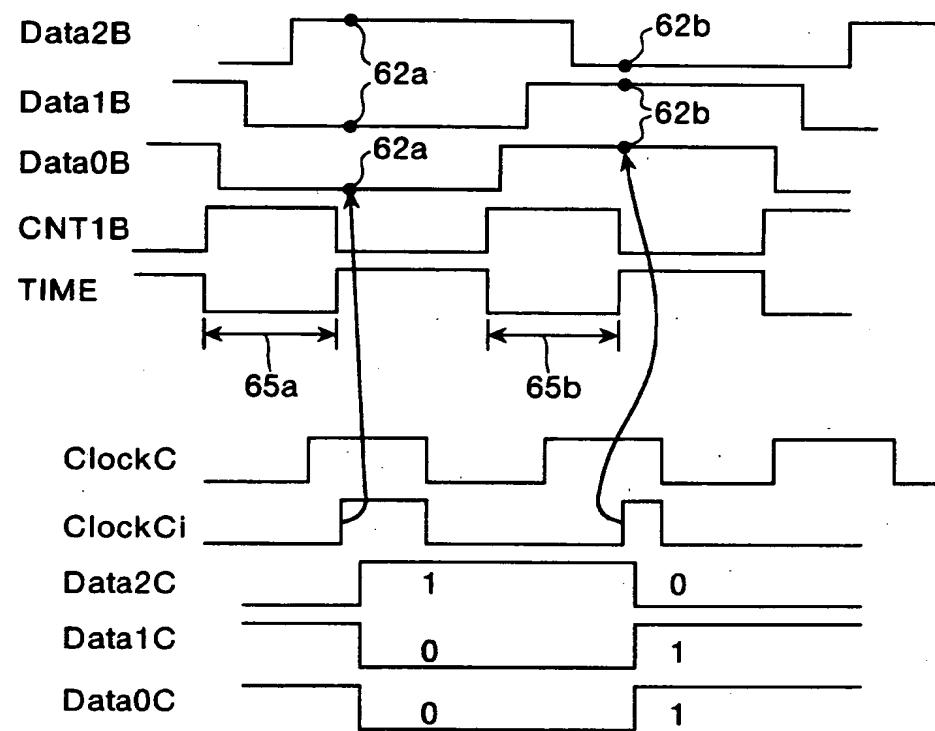
【図9】



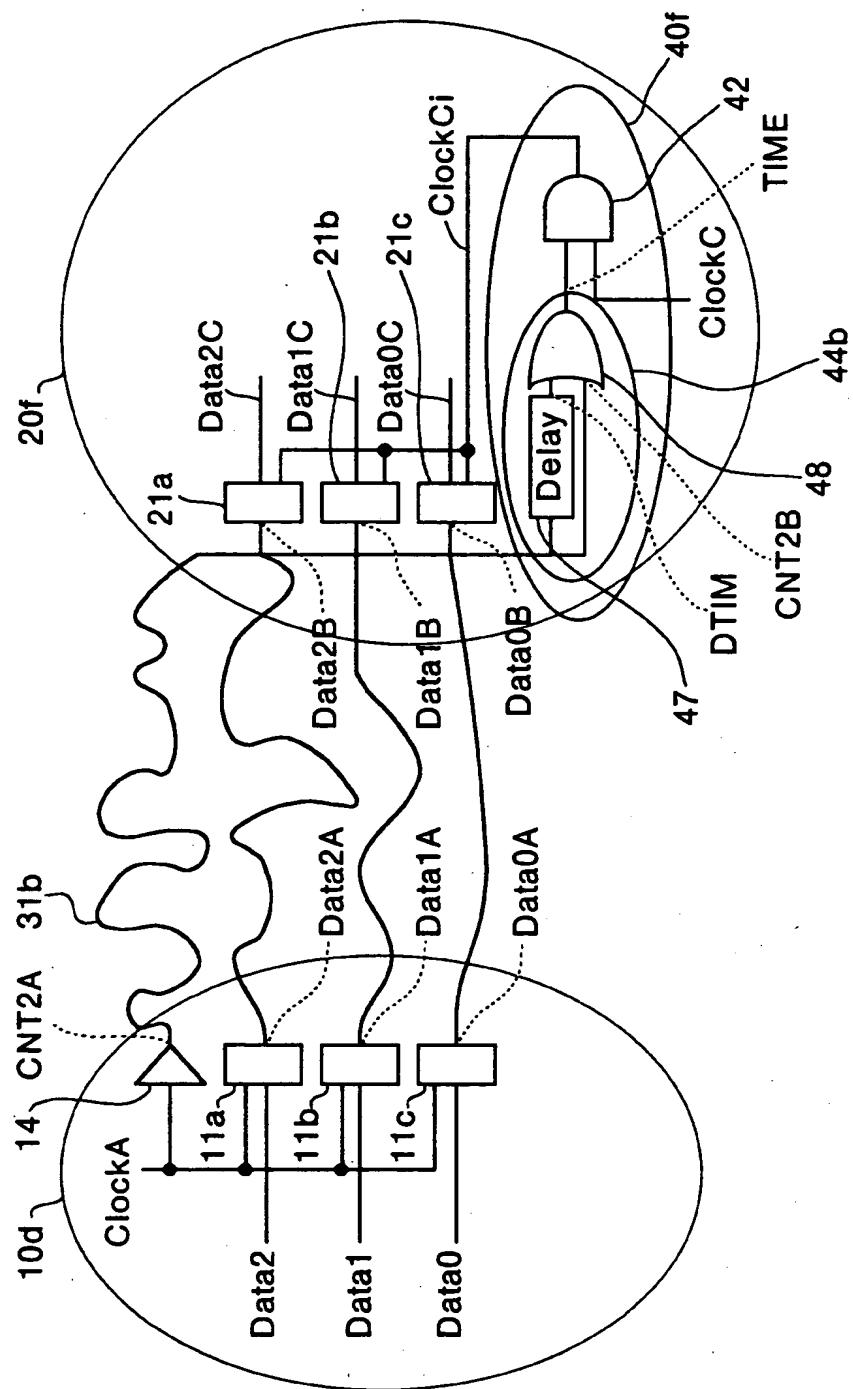
【図10】



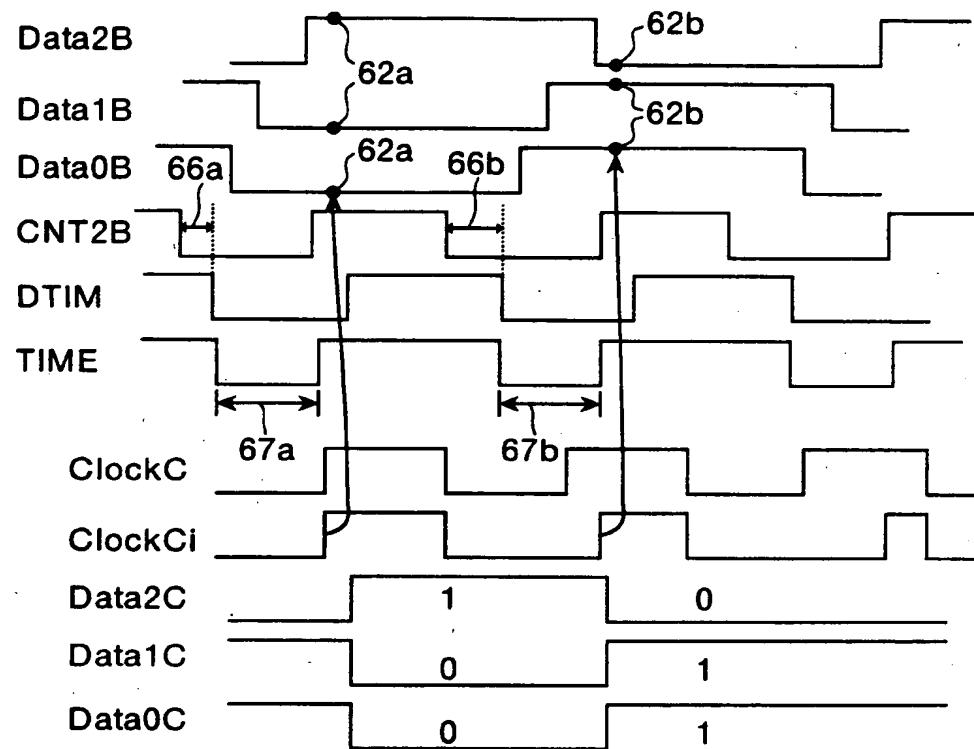
【図11】



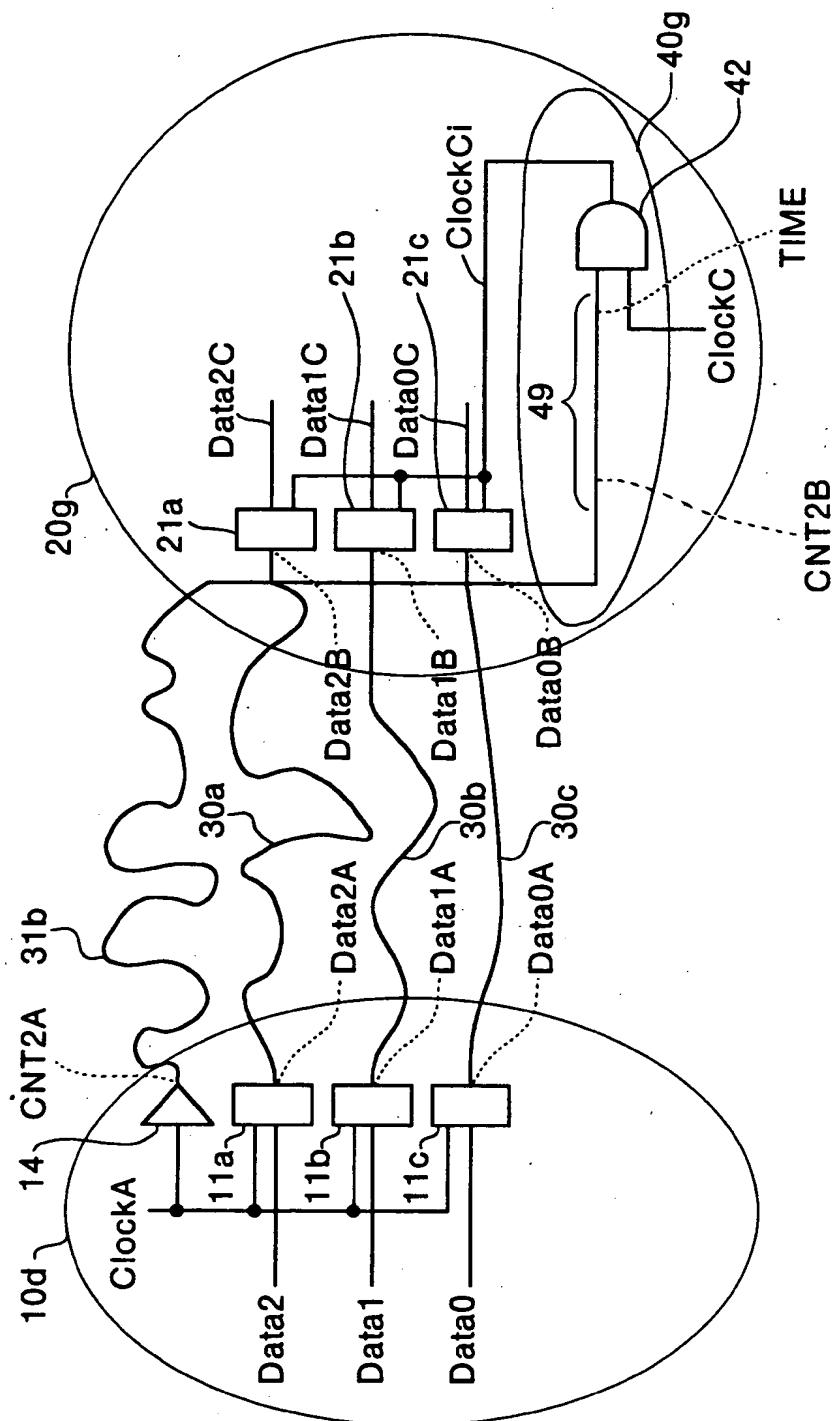
【図12】



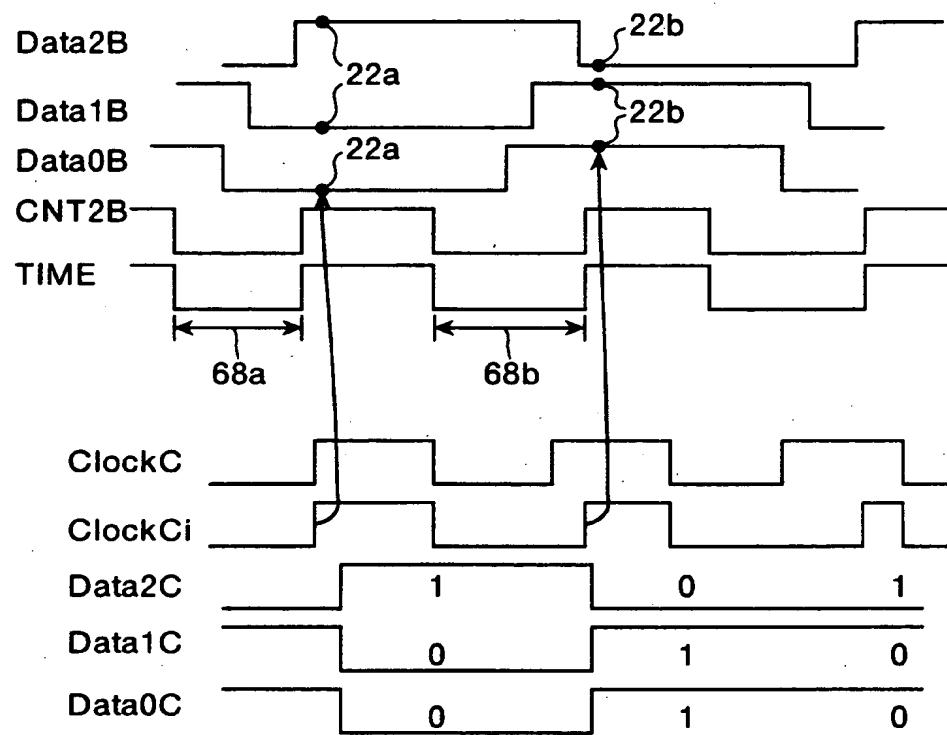
【図13】



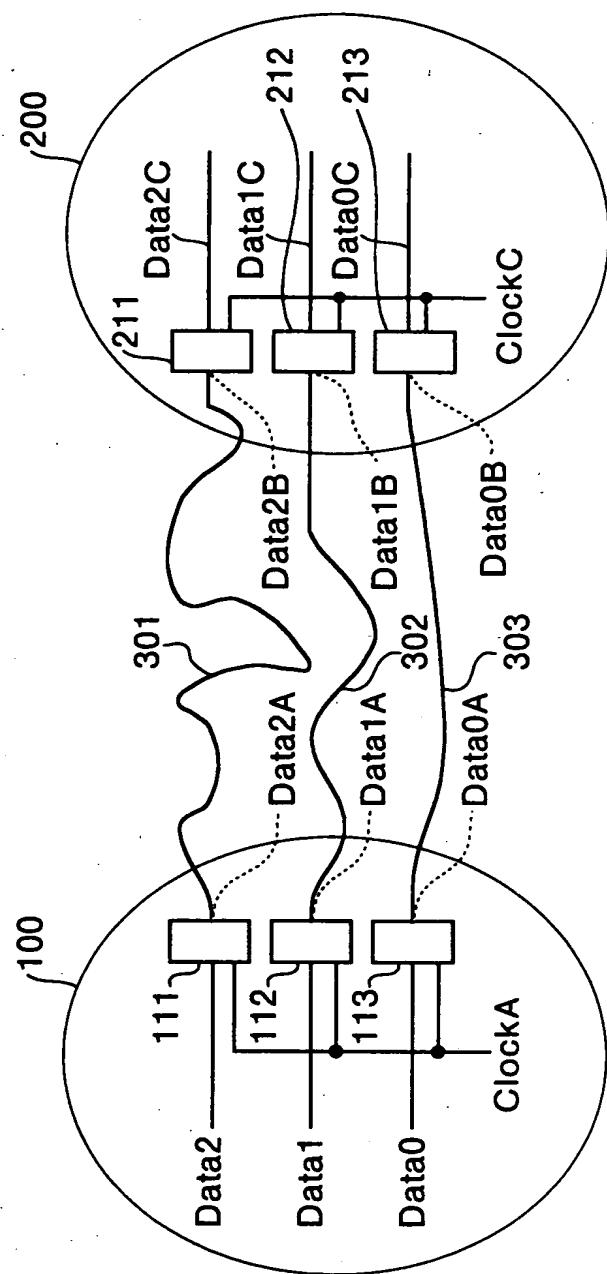
【図14】



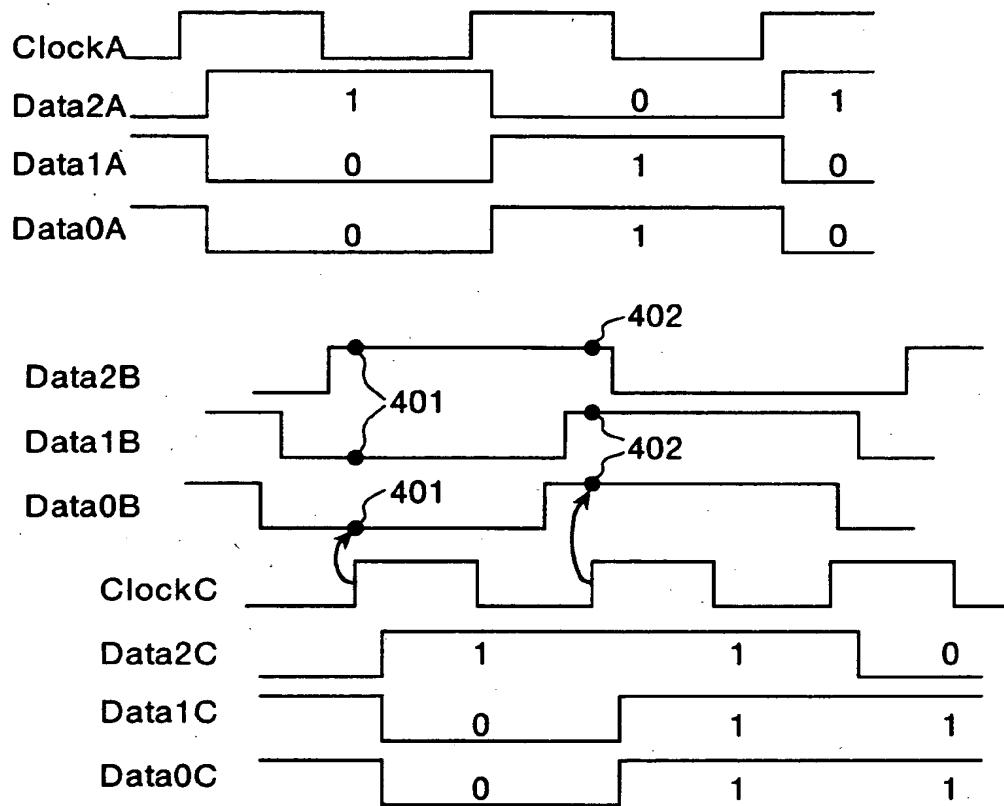
【図15】



【図16】



【図17】



【書類名】 要約書

【要約】

【課題】 並列伝送路におけるデータ間スキューに起因する誤データ取り込みを防止すること。

【解決手段】 並列伝送路全体における最小遅延量と最大遅延量とを持つように調整された2本の制御用伝送路31a, 31bを設ける。送信側回路ブロック10aは、2本の制御用伝送路31a, 31bに送信周期毎に2値レベルが交互に変化するトグル信号を送信する。受信側回路ブロック20aでは、伝送路信号がC N T 1 B, D a t a 0 B, D a t a 1 B, D a t a 2 B, C N T 2 Bの順に到着する。C N T 1 Bの到着後からC N T 2 Bの到着までの期間における各データは変化しているので、この期間内ではデータ取込を抑制する信号T I M Eを生成し、信号T I M EとC l o c k Cとの論理積を取って立ち上がりエッジを上記期間を避けた位置に移動した取込クロックC l o c k C iを生成する。

【選択図】 図1

出願人履歴情報

識別番号 [503121103]

1. 変更年月日 2003年 4月 1日

[変更理由] 新規登録

住 所 東京都千代田区丸の内二丁目4番1号

氏 名 株式会社ルネサステクノロジ